

8.W1320-02

EPITAXIAL WAFER AND ITS MANUFACTURE

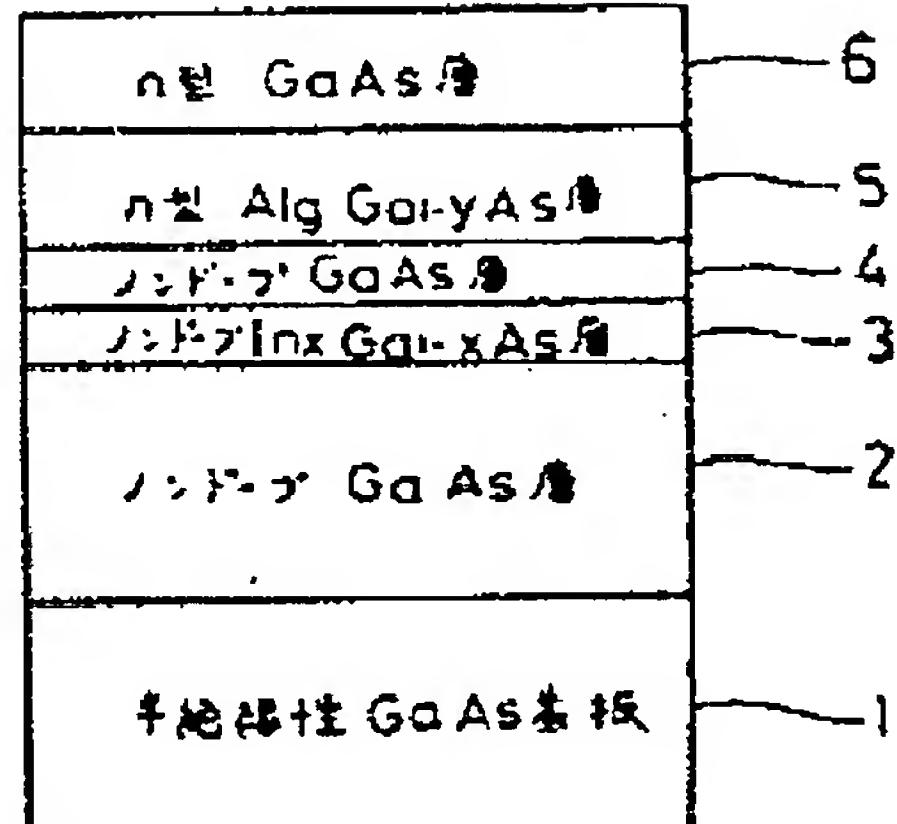
Patent number: JP2246344
Publication date: 1990-10-02
Inventor: SAWADA MINORU
Applicant: SANYO ELECTRIC CO LTD
Classification:
- international: H01L21/338; H01L21/205; H01L21/208; H01L29/812
- european:
Application number: JP19890068781 19890320
Priority number(s):

[Report a data error here](#)

Abstract of JP2246344

PURPOSE: To form a superior GaAs/InGaAs hetero junction interface by using a non-doped GaAs layer as a spacer.

CONSTITUTION: An epitaxial wafer is completed by growing the following in order on a semiinsulative GaAs substrate 1 by molecular beam epitaxial technique; a non-doped GaAs layer 2, a non-doped $In_xGa_{1-x}As$ layer 3, a non-doped GaAs layer 4, an Si doped $Al_yGa_{1-y}As$ layer 5, and an Si doped GaAs layer 6. The crystallizability of GaAs used as a spacer is sufficiently superior and the trap density also is small, even when the growth temperature is 500 deg.C. Thereby a superior GaAs/InGaAs hetero interface can be formed.



Data supplied from the [esp@cenet](#) database - Patent Abstracts of Japan

(19)日本国特許庁 (JP)

(12) 特許公報 (B2)

(11)特許番号

第2708863号

(45)発行日 平成10年(1998)2月4日

(24)登録日 平成9年(1997)10月17日

(51) Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 29/778		9447-4M	H 01 L 29/80	H
21/205			21/205	
21/208			21/208	Z
21/338				
29/812				

請求項の数2(全3頁)

(21)出願番号	特願平1-68781	(73)特許権者	999999999 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号
(22)出願日	平成1年(1989)3月20日	(72)発明者	澤田 稔 大阪府守口市京阪本通2丁目18番地 三 洋電機株式会社内
(65)公開番号	特開平2-246344	(74)代理人	弁理士 安富 耕二 (外1名)
(43)公開日	平成2年(1990)10月2日	審査官	棚田 一也
		(56)参考文献	特開 昭64-66972 (JP, A) 特開 昭64-20669 (JP, A) 特開 昭64-57680 (JP, A)

(54)【発明の名称】エピタキシャルウェハ及びその製造方法

1

(57)【特許請求の範囲】

【請求項1】半絶縁性GaAs基板上に、第1のノンドープGaAs層、ノンドープ $In_xGa_{1-x}As$ 層、第2のノンドープGaAs層、一導電型の $Al_xGa_{1-x}As$ 層、一導電型のGaAs層がこの順序でエピタキシャル成長により積層されていることを特徴とするエピタキシャルウェハ。

【請求項2】半絶縁性GaAs基板上に第1のノンドープGaAs層をエピタキシャル成長する工程と、前記第1のノンドープGaAs層上に第1の成長温度でノンドープ $In_xGa_{1-x}As$ 層をエピタキシャル成長する工程と、前記ノンドープ $In_xGa_{1-x}As$ 層上に第2の成長温度で第2のノンドープGaAs層をエピタキシャル成長する工程と、前記第2のノンドープGaAs層上に前記第1、第2の成長温度よりも高い第3の成長温度で一導電型の $Al_xGa_{1-x}As$ 層をエピタキシャル成長する工程と、前記一導電型の $Al_xGa_{1-x}As$ 層上に

2

前記第1、第2の成長温度よりも高い第4の成長温度で一導電型のGaAs層をエピタキシャル成長する工程と、を含むことを特徴とするエピタキシャルウェハの製造方法。

【発明の詳細な説明】

(イ)産業上の利用分野

本発明はエピタキシャルウェハ及びその製造方法に関し、特にスードモルフィックHEMTに用いられるエピタキシャルウェハ及びその製造方法に関する。

10 (ロ)従来の技術

衛星放送受信システムの需要が高まる中、このシステムの重要な部分を占めるHEMT(高電子移動度トランジスタ)の性能向上に注目が集まっている。GaAs/AlGaAs系HEMTのゲート長短縮による高性能化だけでなく、最近では2次元電子ガスが形成されるチャンネル層を $In_xGa_{1-x}As$ 層

As歪層としたスードモルフィック (pseudomorphic) 構造を用いることによる高性能化が試みられている (A.A. Ketterson et.al.IEEE Trans.Electron.Dev.,Vol.EDL-33,pp.564-571,1986参照)。

第2図はスードモルフィックHEMTに用いる従来のエピタキシャルウェハの概略断面図であり、該エピタキシャルウェハは半絶縁性GaAs基板 (11) 上に分子線エピタキシャル技術によりノンドープGaAs層 (成長温度500°C、膜厚1μm) (12)、ノンドープIn_xGa_{1-x}As層 (成長温度500°C、膜厚150Å、x=0.2) (13)、ノンドープAl_yGa_{1-y}As層 (成長温度500°C、膜厚20Å、y=0.2) (14)、SiドープAl_yGa_{1-y}As (成長温度500°C、膜厚500Å、y=0.2, n=2×10¹⁸/cm³) (15)、及びSiドープGaAs層 (成長温度500°C、膜厚500Å、n=2.5×10¹⁸/cm³) (16)を順次成長させることにより完成する。

(ハ) 発明が解決しようとする課題

上述のエピタキシャルウェハの製造方法では、ノンドープIn_xGa_{1-x}As層 (13) 及びスペーサとなるノンドープAl_yGa_{1-y}As層 (14)を成長させる場合、基板温度を500°C付近としている。これは、成長温度を500°C以上にすると、Inの優先的蒸発が起り、該層 (13)の組成が変化するためであるが、500°C近辺で成長させたノンドープAl_yGa_{1-y}As層 (14)は、結晶性が悪くトラップ等が多く、スペーサとして適さないばかりかAlGaAs/InGaAsヘテロ接合界面の乱れを招来する。

(ニ) 課題を解決するための手段

本発明は半絶縁性GaAs基板上に、第1のノンドープGaAs層、ノンドープIn_xGa_{1-x}As層、第2のノンドープGaAs層、一導電型のAl_yGa_{1-y}As層、一導電型のGaAs層がこの順序でエピタキシャル成長により積層されていることを特徴とするエピタキシャルウェハである。

また、半絶縁性GaAs基板上に第1のノンドープGaAs層をエピタキシャル成長する工程と、前記第1のノンドープGaAs層上に第1の成長温度でノンドープIn_xGa_{1-x}As層をエピタキシャル成長する工程と、前記ノンドープIn_xGa_{1-x}As層上に第2の成長温度で第2のノンドープGaAs層をエピタキシャル成長する工程と、前記第2のノンドープGaAs層上に前記第1、第2の成長温度よりも高い第3の成長温度で一導電型のAl_yGa_{1-y}As層をエピタキシャル成長する工程と、前記一導電型のAl_yGa_{1-y}As層上に前記第1、第2の成長温度よりも高い第4の成長温度で一導電型のGaAs層をエピタキシャル成長する工程と、を含むことを特徴とするエピタキシャルウェハの製造方法である。

(ホ) 作用

スペーサとして用いるGaAsは成長温度が500°Cであっても十分結晶性が良く、トラップ密度も少ない。従って、良好なGaAs/InGaAsヘテロ界面を形成することができる。

また、スペーサとしての第2のGaAs層成長後、n型Al

GaAs層及びn型GaAsを500°Cよりも高い成長温度で成長することによって、n型AlGaAs層中のトラップ密度が減少し、2次元電子供給能力 (つまりn型AlGaAs層のキャリア濃度) の増加及びn型AlGaAs層、n型GaAs層の抵抗値を低減することができる。

(ヘ) 実施例

第1図はスードモルフィックHEMTに用いる本発明の一実施例のエピタキシャルウェハの概略断面図であり、該エピタキシャルウェハ半絶縁性GaAs基板 (1) 上に分子線エピタキシャル技術によりノンドープGaAs層 (成長温度500°C、膜厚1μm) (2)、ノンドープIn_xGa_{1-x}As層 (成長温度500°C、膜厚150Å、x=0.2) (3)、ノンドープGaAs層 (成長温度500°C、膜厚20Å) (4)、SiドープAl_yGa_{1-y}As層 (成長温度630°C、膜厚500Å、y=0.2, n=2×10¹⁸/cm³) (5)、及びSiドープGaAs層 (成長温度630°C、膜厚500Å、n=2.5×10¹⁸/cm³) (6)を順次成長させることにより完成する。

このエピタキシャルウェハをサンプルAとする。

また、SiドープAl_yGa_{1-y}As層 (5) 及びSiドープGaAs層 (6)の成長温度を500°Cとする以外は上述のエピタキシャルウェハの製造工程と同一の製造工程により完成するエピタキシャルウェハをサンプルBとする。

さらに、第2図に示した従来のエピタキシャルウェハをサンプルCとする。

これらサンプルA、B、Cの評価結果を以下に示す。

①サンプルA、B、Cの電子移動度の測定を行なうと、
サンプルA:6750cm²/V·s
サンプルB:6500cm²/V·s
サンプルC:5000cm²/V·s

となり、スペーサとしてノンドープGaAs層を用いることにより電子移動度が大幅に向上すること、及びSiドープAl_yGa_{1-y}As層 (5) 及びSiドープGaAs層 (6)の成長温度は高くすることによりさらに電子移動度が向上することが理解される。

②サンプルA、B、Cのシートキャリア濃度の測定を行なうと、
サンプルA:1.8×10¹²/cm²
サンプルB:1.55×10¹²/cm²
サンプルC:1.4×10¹²/cm²

となり、スペーサとしてノンドープGaAs層を用いることによりシートキャリア濃度が向上すること、及びSiドープAl_yGa_{1-y}As層 (5)、SiドープGaAs層 (6)の成長温度を高くすることによりさらにシートキャリア濃度が向上することが理解される。

③サンプルA、B、Cを用いて、ゲート長0.5μm、ゲート幅200μm、ソース・ゲート間隔2μmのHEMTを作製し、これらHEMTの動作周波数12GHz、ソース・ドレン電流10mAにおける高周波特性の測定を行なうと、
サンプルA:最小雑音指数NFmin=0.9dB
サンプルB:最小雑音指数NFmin=1.0dB

サンプルC:最小雑音指数NF_{mim}=1.3dB

となり、スペーサとしてノンドープGaAs層を用いることによりNF_{mim}が大幅に改善すること、及びSiドープAl_xAs_{1-x}層(5)及びSiドープGaAs層(6)の成長温度を高くすることによりさらにNF_{mim}が改善することが理解される。

尚、本発明を2次元ホールガスが形成されるエピタキシャルウェハに適用することができるは明らかであり、この場合、Siに代えてBe等をドープしてAl_xAs_{1-x}層(5)、GaAs層(6)をp型とすればよい。

(ト) 発明の効果

本発明のエピタキシャルウェハは以上の説明から明ら

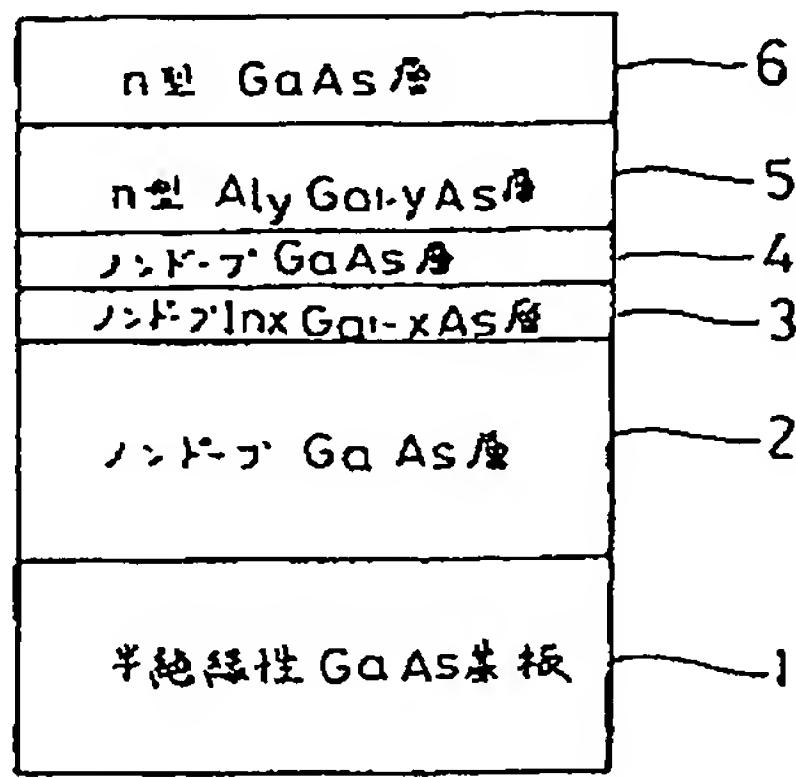
*かな如く、スペーサとしてノンドープGaAs層を用いることにより良好なGaAs/InGaAsヘテロ接合界面を形成することができる。

【図面の簡単な説明】

第1図は本発明の一実施例のエピタキシャルウェハの概略断面図、第2図は従来のエピタキシャルウェハの概略断面図である。

(1) …半絶縁性GaAs基板、(2) …ノンドープGaAs層、(3) …ノンドープIn_xAs_{1-x}層、(4) …ノンドープGaAs層、(5) …Al_xAs_{1-x}層、(6) …n型GaAs層。

【第1図】



【第2図】

